

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-283318

(43)Date of publication of application : **03.10.2003**

(51)Int.Cl.

H03K 17/22
G06F 1/24
H01L 21/822
H01L 27/04

(21)Application number : 2002-084558

(71)Applicant : TOSHIBA CORP

TOSHIBA LSI SYSTEM SUPPORT
KK

(22)Date of filing : **25.03.2002**

(72)Inventor : KUREYA SEIICHI

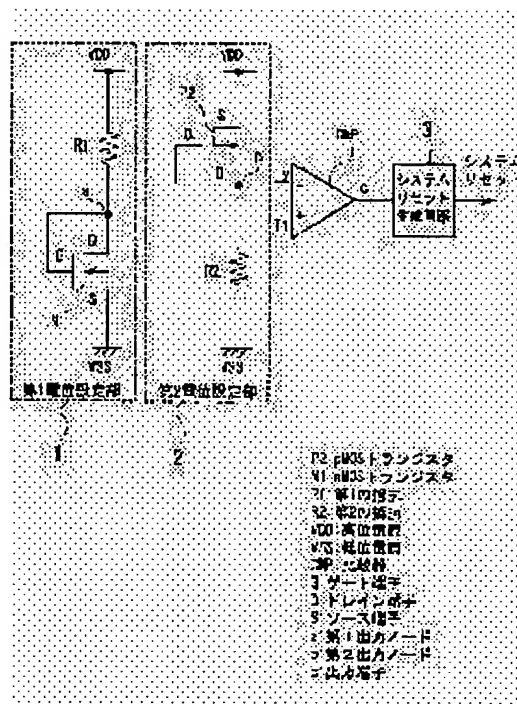
WADA AKIRA

(54) POWER-ON-RESET CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a power-on-reset circuit enabling secure generation of a power-on-reset signal (one-shot pulse), irrespective of and unaffected by the rise speed of a source voltage.

SOLUTION: The power-on-reset circuit is provided with:
a first voltage setting section 1 having a first output voltage $V_a(t)$ which increases toward a first voltage with a voltage increase of a high voltage-level source V_{DD} ; a second voltage setting section 2 having a second output node b for outputting a second output voltage $V_b(t)$ which increases toward a second voltage different from the first voltage with the voltage increase of the high voltage-level source V_{DD} ; and a comparator CMP comparing the first output voltage $V_a(t)$ with the second output voltage $V_b(t)$ and generating a reset pulse when t



LEGAL STATUS

[Date of request for examination]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-283318

(P2003-283318A)

(43) 公開日 平成15年10月3日(2003.10.3)

(51) Int. Cl. ⁷	識別記号	F I	キーワード(参考)
H 0 3 K 17/22		H 0 3 K 17/22	E 5 B 0 5 4
			D 5 F 0 3 8
G 0 6 F 1/24		G 0 6 F 1/00	3 5 1 5 J 0 5 5
H 0 1 L 21/822		H 0 1 L 27/04	F
27/04			
審査請求 未請求 請求項の数9 OL (全 10 頁)			

(21) 出願番号 特願2002-84558(P2002-84558)

(22) 出願日 平成14年3月25日(2002.3.25)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(71) 出願人 598010562

東芝エルエスアイシステムサポート株式会
社

神奈川県川崎市幸区堀川町580番地

(72) 発明者 呉屋 誠一

神奈川県川崎市幸区堀川町580番地 東芝
エルエスアイシステムサポート株式会社内

(74) 代理人 100083806

弁理士 三好 秀和 (外7名)

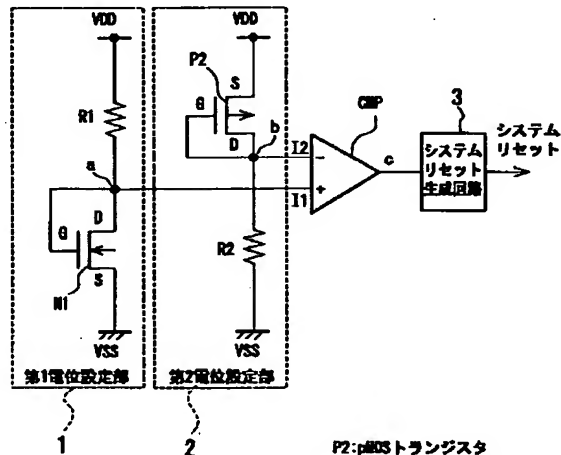
最終頁に続く

(54) 【発明の名称】 パワーオンリセット回路

(57) 【要約】

【課題】 電源電圧の立ち上がり速度に関係なく電源電圧の立ち上がり速度に影響を受けないで確実にパワーオンリセット信号(ワンショットパルス)を発生することが可能なパワーオンリセット回路を得る。

【解決手段】 高位電源VDDの電圧増加に伴い第1出力電圧 $V_a(t)$ が第1の電位に向かって増大する第1電位設定部1と、第2出力電圧 $V_b(t)$ を出力する第2出力ノードbを有し、第1電位設定部1とは異なる特性で、高位電源VDDの電圧増加に伴い第2出力電圧 $V_b(t)$ が第1の電位とは異なる第2の電位に向かって増大する第2電位設定部2と、第1出力電圧 $V_a(t)$ と第2の出力電圧 $V_b(t)$ を比較し一致した場合リセットパルスが発生する比較器CMPとを備えたことを特徴とするパワーオンリセット回路。



P2: pMOS トランジスタ
M1: nMOS トランジスタ
R1: 第1の抵抗
R2: 第2の抵抗
VDD: 高位電源
VSS: 低位電源
CMP: 比較器
G: ゲート端子
D: ドレイン端子
S: ソース端子
a: 第1出力ノード
b: 第2出力ノード
c: 出力端子

【特許請求の範囲】

【請求項1】 高位電源と低位電源の間に接続され、前記高位電源の電圧上昇に伴い第1の電位に向かって変化する第1出力電圧を出力する第1電位設定部と、

前記高位電源と前記低位電源の間に接続され、前記第1出力電圧とは異なる特性で、前記高位電源の電圧上昇に伴い、前記第1の電位とは異なる第2の電位に向かって変化する第2出力電圧を出力する第2電位設定部と、
前記第1出力電圧と前記第2の出力電圧を比較し、一致した場合にリセットパルスを発生する比較器とを備えたことを特徴とするパワーオンリセット回路。

【請求項2】 前記第1電位設定部は、一端を前記高位電源に接続した第1の抵抗と、

前記第1の抵抗にアノード端子を接続し、前記低位電源にカソード端子を接続した第1のダイオードとを備え、
前記第1の抵抗と前記第1のダイオードの接続点の電圧を前記第1出力電圧とすることを特徴とする請求項1記載のパワーオンリセット回路。

【請求項3】 前記第2電位設定部は、前記高位電源にアノード端子を接続した第2のダイオードと、
一端を前記低位電源に接続し他端を前記第2のダイオードのカソード端子に接続した第2の抵抗とを備え、
前記第2のダイオードと前記第2の抵抗の接続点の電圧を前記第2出力電圧とすることを特徴とする請求項1又は2に記載のパワーオンリセット回路。

【請求項4】 前記第1のダイオードは、前記第1の抵抗に接続されたゲート端子を有し、前記第1の抵抗に接続されたドレイン端子を前記アノード端子とし、前記低位電源に接続したソース端子を前記カソード端子とするnMOSトランジスタであることを特徴とする請求項2記載のパワーオンリセット回路。

【請求項5】 前記第1のダイオードは、前記第1の抵抗に第1のベース抵抗を介して接続されたベース端子を有し、前記第1の抵抗に接続したコレクタ端子を前記アノード端子とし、前記低位電源に接続したエミッタ端子を前記カソード端子とするnpn型バイポーラトランジスタであることを特徴とする請求項2記載のパワーオンリセット回路。

【請求項6】 前記第1の抵抗はMOSトランジスタのオン抵抗を用いることを特徴とする請求項2、4、5のいずれか1項に記載のパワーオンリセット回路。

【請求項7】 前記第2のダイオードは、前記高位電源に接続したソース端子を前記アノード端子とし、前記第2の抵抗に接続したゲート端子を有し、前記第2の抵抗に接続したドレイン端子をカソード端子とするpMOSTランジスタであることを特徴とする請求項3記載のパワーオンリセット回路。

【請求項8】 前記第2のダイオードは、前記高位電位に接続されたエミッタ端子を前記アノード端子、前記高位電源に第4の抵抗を介して接続したベース端子を有し、

前記高位電源に接続されたエミッタ端子を前記アノード端子に接続したコレクタ端子をカソード端子とするpnp型バイポーラトランジスタであることを特徴とする請求項3記載のパワーオンリセット回路。

【請求項9】 前記第2の抵抗は、トランジスタのオン抵抗を用いることを特徴とする請求項3、7、8のいずれか1項に記載のパワーオンリセット回路。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明は半導体ICに関するもので、電源が投入された時自動的にシステムリセット信号を発生するパワーオンリセット回路に関する。

【0002】

【従来の技術】 一般にパワーオンリセット回路は、図10に示すようにリセット端子4から入力された外部リセット信号によりパルス信号を生成するリセットパルス生成部5と、それを元にシステムリセット信号を生成するシステムリセット生成回路3により構成される。リセットパルス生成部5としては図10に示すような電源電圧VDDに接続された抵抗Rと、抵抗Rに接続された充電用コンデンサCとで構成されるコンデンサ充電時定数回路と、コンデンサCに充電された電圧を検出する為のヒステリシス特性を持つシュミットトリガインバータINVを備えたものが知られている。

【0003】 図10の回路において電源電圧VDD投入後、一定時間経過後にコンデンサCに一定の電圧が充電されインバータINVの入力が所定のハイレベルになるとインバータINVの出力が反転しロウレベル信号を出力する。更に、インバータINVの出力がロウになると、システムリセット生成回路3はリセット信号を発生する。図11(a)は従来のパワーオンリセット回路における正常動作時のタイミングチャートを説明した図である。

【0004】

【発明が解決しようとする課題】 しかし、図10に示すパワーオンリセット回路では、電源電圧の立ち上がりスピードがコンデンサの充電時定数よりも遅い場合、図11(b)に示すように電源電圧の上昇カーブが時定数回路による電圧上昇カーブとほぼ差異が無くなりパルスが発生しないという問題があった。

【0005】 本発明の目的は、電源電圧の立ち上がりスピードに関係なく、電源電圧の立ち上がりスピードに影響を受けずに確実にワンショットパルス（パワーオンリセット信号）を発生することが可能なパワーオンリセット回路を提供することである。

【0006】

【課題を解決するための手段】 上記目的を達成するために、本発明の特徴は、高位電源と低位電源の間に接続され、高位電源の電圧上昇に伴い第1の電位に向かって変化する第1出力電圧を出力する第1電位設定部と、高位

電源と低位電源の間に接続され、第1出力電圧とは異なる特性で、高位電源の電圧上昇に伴い、第1の電位とは異なる第2の電位に向かって変化する第2出力電圧を出力する第2電位設定部と、第1出力電圧と第2の出力電圧を比較し、一致した場合リセットパルスが発生する比較器とを備えたことを特徴とするパワーオンリセット回路であることを要旨とする。

【0007】従って、電源電圧の立ち上がりスピードに関係なく電源電圧の立ち上がりスピードに影響を受けないで確実にワンショットパルス（パワーオンリセット信号）を発生することが可能なパワーオンリセット回路を提供することができる。

【0008】

【発明の実施の形態】次に、図面を参照して本発明の第1～第4の実施の形態を説明する。以下の図面の記載において、同一または類似の部分には同一または類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法の関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。従って、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また図面相互間においてもお互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

【0009】（第1の実施の形態）本発明の第1の実施

$$I_d = (W/2L) \mu_n C_{ox} (2(V_{GS} - V_{th})V_{DS} - (V_{DS}^2/2)) \quad \dots\dots(1)$$

で求めることができる。ドレイン端子Dをゲート端子Gに接続したダイオード接続では $V_{GS} = V_{DS}$ であるので、 $I_d = K(V_{DS}/2 - V_{th})V_{DS} \quad \dots\dots(2)$

で表される。(2)式においては、任意に設定される(1)式の各定数項を $(W/L) \mu_n C_{ox} = K$ でまとめている。従って、ダイオード接続されたnMOSTランジスタは、図2(a)に示すような静特性を有する。

【0012】また、第2電位設定部2は、図1に示すようなダイオード接続されたpMOSTランジスタを用いている。すなわち、高位電源VDDに接続したソース端子Sと、第2出力ノードbに接続されたドレイン端子D及びゲート端子Gとを有するpMOSTランジスタを備えている。(2)式から明らかなように、ダイオード接続されたpMOSTランジスタは図2(b)に示すような静特性になる。

【0013】ここで、電源電圧が高位電源VDDの電圧に到達する時刻を t_0 、時刻 t における電源電圧を V_d ※

$$V_a(t) = (- (1 - M \cdot V_{thN}) + ((1 - M \cdot V_{thN})^2 + 2Mkt) / 2) / M \quad \dots\dots(6)$$

で示される。つまり第1の出力電圧 $V_a(t)$ は、図3に示すような曲線を描きながら $t = t_0$ まで上昇する。 $t \geq t_0$ の範囲では、

$$V_a(t) = V_{thN} \quad \dots\dots(7)$$

となり、nMOSTランジスタのスレッシュホールド電圧 V_{thN} にクランプされる。

【0014】一方、第2電位設定部2に印加される電源電圧 $V_d(t)$ は、電源投入後に低位電源VSS (= ★50

*の形態に係るパワーオンリセット回路は図1に示すように、高位電源VDDと低位電源VSSの間に接続され、高位電源VDDの電圧上昇に伴い第1の電位に向かって変化する第1出力電圧 $V_a(t)$ を出力する第1電位設定部1と、高位電源VDDと低位電源VSSの間に接続され、第1出力電圧 $V_a(t)$ とは異なる特性で、高位電源VDDの電圧上昇に伴い、第1の電位とは異なる第2の電位に向かって変化する第2出力電圧 $V_b(t)$ を出力する第2電位設定部2と、第1出力電圧 $V_a(t)$ と第2の出力電圧 $V_b(t)$ を比較し、一致した場合リセットパルスが発生する比較器CMPとを少なくとも備えている。

【0010】第1電位設定部1は、図1に示すようにダイオード接続されたnMOSTランジスタを用いている。すなわち、第1出力ノードaに接続されたドレイン端子D及びゲート端子Gと、低位電源VSSに接続したソース端子Sとを有するnMOSTランジスタN1を備えている。

【0011】ここで、MOSTランジスタのゲート・ソース間に流れるドレイン電流 I_d は、ゲート・ソース間電圧を V_{GS} 、ドレイン・ソース間電圧を V_{DS} 、ドレイン電流を I_d 、ベース幅を W 、長さを L 、電子の移動度を μ_n 、酸化膜の静電容量を C_{ox} とすると、

※(t)とすると、立ち上がり時の電源電圧の変化は図3に示すような特性で表される。すなわち、第1電位設定部1に印加される電源電圧 $V_d(t)$ は、電源投入後に低位電源VSS (=0) と同電位の状態から徐々に $V_d(t) = kt$ と線形に $t = t_0$ まで上昇する。第1出力電圧 $V_a(t)$ は、 $0 \leq t \leq t_0$ の範囲では、

$$\begin{aligned} V_a(t) &= V_d(t) - R1I_a(t) \\ &= V_d(t) - R1K(V_{DS}/2 - V_{th})V_{DS} \\ &= kt - R1K(V_{DS}/2 - V_{th})V_{DS} \quad \dots\dots(3) \end{aligned}$$

で表される。 $R1K = M$ 、nMOSTランジスタのスレッシュホールド電圧 $= V_{thN}$ と置くと、更に $V_{DS} = V_a(t)$ であるから、

$$V_a(t) = kt - M(V_a(t)/2 - V_{thN} \cdot V_a(t)) \quad \dots\dots(4)$$

で表される。2次方程式の形にまとめると

$$M V_a(t)^2 / 2 + (1 - M \cdot V_{thN}) V_a(t) - kt = 0 \quad \dots\dots(5)$$

で表される。従って第1出力電圧 $V_a(t)$ は、

★0) と同電位の状態から徐々に上昇する。すなわち、第2出力電圧 $V_b(t)$ は、

$$\begin{aligned} V_b(t) &= R2I_b(t) \\ &= R2K(V_{DS}/2 - V_{th})V_{DS} \quad \dots\dots(8) \end{aligned}$$

で表され、更に $R2K = N$ 、pMOSTランジスタのスレッシュホールド電圧 $= V_{thP}$ と置き、 $V_{DS} = V_d(t) - V_b(t) =$

$kt - V_b(t)$ と仮定すれば、

$$\begin{aligned} V_b(t) &= N((kt)^2 - 2kt \cdot V_b(t) + V_b(t)^2)/2 - N \cdot V_{thP}(kt - V_b(t)) \\ &= N \cdot V_b(t)^2/2 - N(kt - V_{thP})V_b(t) + Nkt^2/2 - N \cdot V_{thP} \cdot kt \dots\dots(9) \end{aligned}$$

で表され、更に2次方程式にまとめると、

$$N \cdot V_b(t)^2/2 - (N(kt - V_{thP}) + 1)V_b(t) + N(kt)^2/2 - N \cdot V_{thP} \cdot kt = 0 \dots\dots(10)$$

で表される。従って、第2出力電圧 $V_b(t)$ は $0 \leq t \leq t_0$ の範囲において、

$$V_b(t) = kt - V_{thP} + 1/N - (V_{thP}^2 + (2/N)(kt - V_{thP}) + (1/N^2))^{1/2} \dots\dots(11)$$

で示される。従って、第2出力電圧 $V_b(t)$ は図3に示すような曲線を描きながら $t = t_0$ まで上昇する。 $t \geq 0$ の範囲では、

$$V_b(t) = V_{thP} \dots\dots(12)$$

となり、pMOSトランジスタのスレッシュホールド電圧 V_{thn} にクランプされる。

【0015】比較器CMPは第1出力電圧 $V_a(t)$ を第1の入力端子I1に、第2出力電圧 $V_b(t)$ を第2の入力端子I2に入力し、図3に示すように第1出力電圧 $V_a(t)$ と第2出力電圧 $V_b(t)$ が一致した時に、出力端子Cよりロウレベル信号をシステムリセット生成回路3に出力し、リセットパルスを発生する。

【0016】従って、電源の立ち上がり時間に影響されずに安定したリセットパルスを生成することが可能なパワーオンリセット回路を実現することが出来る。

【0017】(第2の実施の形態)本発明の第2の実施の形態に係るパワーオンリセット回路は図4に示すように、第1の実施の形態におけるダイオード接続されたMOSトランジスタをダイオードに置き換えた実施の形態である。

【0018】すなわち、第1電位設定部1は、一端を高位電源VDDに接続し他端を第1出力ノードaに接続した第1の抵抗R1と、第1出力ノードaにアノード端子Aを接続し、低位電源VSSにカソード端子Kを接続した第1のダイオードD1とを備えている。

【0019】また、第2電位設定部2は、高位電源VDDにアノード端子Aを接続し、第2出力ノードbにカソード端子Kを接続した第2のダイオードD2と、一端を低位電源VSSに接続し他端を第2出力ノードbに接続した第2の抵抗R2とを備えている。

【0020】比較器CMPについては、第1の実施の形態と実質的に同様であるので、重複した記載を省略する。

【0021】第1の抵抗R1の抵抗値を R_1 、第2の抵抗R2の抵抗値を R_2 、第1の抵抗R1に流れる電流値を $I_a(t)$ 、第2の抵抗R2に流れる電流値を $I_b(t)$ 、電荷量を q 、ボルツマン定数を k 、順方向電圧を V_f 、絶対温度 $T(K)$ 、飽和電流を I_S とすると、第1出力電圧 $V_a(t)$ は、 $0 \leq t \leq t_0$ の範囲では、ダイオードの有する静特性に従い電源電圧の上昇と共に上昇し、

$$\begin{aligned} V_a(t) &= V_d(t) - R_1 I_a(t) \\ &= V_d(t) - R_1 I_S (\exp(q(V_a(t) - V_f)/kT) - 1) \dots\dots(20) \end{aligned}$$

で表される。詳細な計算は省略するが、第1の出力電圧※50

※ $V_a(t)$ は、図5に示すように $t = t_0$ まで増大する。そして $t \geq t_0$ の範囲では、

$$V_a(t) = V_f \dots\dots(21)$$

10 で表されるように、最終的にはダイオードの順方向電圧 V_f にほぼ近い電圧にクランプされ最終的には一定値となる。

【0022】一方、第2出力電圧 $V_b(t)$ は、ダイオードの有する静特性に従い電源電圧の上昇と共に上昇し、

$$\begin{aligned} V_b(t) &= R_2 I_b(t) \\ &= R_2 I_S (\exp(q(V_d(t) - V_b(t) - V_f)/kT) - 1) \dots\dots(22) \end{aligned}$$

で表される。この結果第2の出力電圧 $V_b(t)$ は図5に示すように $t = t_0$ まで増大する。そして $t \geq t_0$ の範囲では、

$$V_b(t) = V_{dd} - V_f \dots\dots(23)$$

で表されるような、高位電源VDDからダイオードの順方向電圧 V_f を減算した値に近い値にクランプされ最終的には一定値となる。

【0023】比較器CMPは第1出力電圧 $V_a(t)$ を第1の入力端子I1に、第2出力電圧 $V_b(t)$ を第2の入力端子I2に入力し、図5に示すように第1出力電圧 $V_a(t)$ と第2出力電圧 $V_b(t)$ が一致した時に、出力端子Cよりロウレベル信号をシステムリセット生成回路3に出力し、リセットパルスを発生する。他は第1の実施の形態と実質的に同様であるので、重複した記載を省略する。

【0024】(第3の実施の形態)本発明の第3の実施の形態に係るパワーオンリセット回路は図6に示すように、第1の実施の形態ではMOSトランジスタの電源電圧立ち上り時の静特性を、第2の実施の形態ではダイオードの電源電圧立ち上り時の静特性を利用したのに対し、第3の実施の形態ではバイポーラトランジスタの電源電圧立ち上り時の静特性を利用することを特徴とする。

40 【0025】第1電位設定部1は、第1の実施の形態におけるダイオード接続されたnMOSTランジスタN1をダイオード接続したnpn型トランジスタTr1に置き換えたものである。従って第1電位設定部1は、高位電源VDDと第1出力ノードaの間に接続された第1の抵抗R1と、第1出力ノードaに接続されたコレクタ端子C、及び第1ベース抵抗R3を介して第1出力ノードaに接続されたベース端子Bと、低位電源VSSに接続されたエミッタ端子E有するnpn型トランジスタTr1により構成される。

【0026】第2電位設定部2は、第1の実施の形態に

おけるダイオード接続されたpMOSTランジスタP2を、ダイオード接続したpnp型トランジスタに置き換えたものである。高位電源VDDに接続したエミッタ端子Eと、第2出力ノードbに接続されたコレクタ端子C、及び第2ベース抵抗R4を介し第2出力ノードbに接続されたベース端子Bとを有するpnp型トランジスタTr2と、第2出力ノードbと低位電源VSSとの間に接続された第2の抵抗R2とにより構成される。

【0027】比較器CMPは第1の入力端子I1に入力される第1出力電圧Va(t)と、第2の入力端子I2に入力される第2出力電圧Vb(t)を比較し一致した時に、出力端子Cよりロウレベル信号をシステムリセット生成回路3に出力し、リセットパルスを発生する。他は第1の実施の形態と実質的に同様であるので、重複した記載を省略する。

【0028】(第4の実施の形態)本発明の第1の実施の形態に係るパワーオンリセット回路は図7に示すように、第1の実施の形態ではMOSTランジスタがオンしている時に電流を制限するために抵抗を用いていたが、第4の実施の形態ではMOSTランジスタのオン抵抗を使用したことを特徴とする。すなわち、第1電位設定部1の第1の抵抗R1を高位電源VDDに接続したソース端子Sと、第1出力ノードaに接続されたドレイン端子D、及び低位電源VSSに接続されたゲート端子Gとを有する第1のpMOSTランジスタP1に、第2電位設定部2の第2の抵抗R2を低位電源VSSに接続したソース端子Sと、第2出力ノードbに接続されたドレイン端子D、及び高位電源VDDに接続されたゲート端子Gとを有する第2のnMOSTランジスタN2に置き換えた実施の形態である。

【0029】ここで、本発明の第4の実施の形態に係るパワーオンリセット回路において、第1電位設定部1、第2電位設定部2は図8のレイアウト例に示すように、比較器CMPの第1の入力端子に接続される第1の出力ノードa、比較器CMPの第2の入力端子に接続される第2の出力ノードb、第1のpMOSTランジスタP1、第1のnMOSTランジスタN1、第2のpMOSTランジスタP2、第2nMOSTランジスタN2を有し、高位電源VDDと低位電源VSSの間に接続されている。第1のpMOSTランジスタP1及び第2のpMOSTランジスタP2の共通ソース領域31はアルミ配線41により高位電源VDDに接続されている。第1のnMOSTランジスタN1及び第2のnMOSTランジスタN2の共通ソース領域21はアルミ配線42により低位電源VSSに接続されている。

【0030】第2のnMOSTランジスタN2のゲート電極27はアルミ配線45により高位電源VDDに接続され、第1のpMOSTランジスタP1のゲート電極36はアルミ配線46により低位電源VSSに接続されている。

【0031】また、ポリシリコンにより形成される第2のpMOSTランジスタP2のゲート電極37はバイアホール61を介してアルミ配線44により第2のpMOSTランジスタP2のドレイン領域33に接続されている。第2のnMOSTランジスタN2のドレイン領域23はアルミ配線44により第2のpMOSTランジスタP2のゲート電極37に接続されている。更に第2のpMOSTランジスタP2のドレイン領域33と第2のnMOSTランジスタN2のドレイン領域23とを接続するアルミ配線44はバイアホール63を介してアルミ配線47により第2出力ノードbに接続されている。

【0032】更に、ポリシリコンにより形成される第1のnMOSTランジスタN1のゲート電極26はバイアホール53を介してアルミ配線43により第1のpMOSTランジスタP1のドレイン領域32に接続されている。第1のnMOSTランジスタN1のドレイン領域22はアルミ配線43により第1のnMOSTランジスタN1のゲート電極26と接続されている。更に第1のpMOSTランジスタP1のドレイン領域32と第1のnMOSTランジスタN1のドレイン領域22とを接続するアルミ配線43はバイアホール52を介してアルミ配線46により第1出力ノードaに接続されている。

【0033】図9には図8のA-A方向に沿った断面図及びB-B方向に沿った断面図を示す。図9の左側に示したA-A方向に沿った断面図上には、p基板11上に形成されたnウェル12上の表面に第1のpMOSTランジスタP1と第2のpMOSTランジスタP2が配置されている。第1のpMOSTランジスタP1はp⁺ドレイン領域32とp⁺ソース領域31と、p⁺ドレイン領域32とp⁺ソース領域31間のチャネル領域上に配置されたゲート酸化膜34と、ゲート酸化膜34上に配置されたゲート電極36とを備えている。又、第2のpMOSTランジスタP2はp⁺ドレイン領域33と共通p⁺ソース領域31と、p⁺ドレイン領域33とp⁺ソース領域31間のチャネル領域上に配置されたゲート酸化膜35と、ゲート酸化膜35上に配置されたゲート電極37とを備えている。一方、図9の右側に示したB-B方向の断面図上にはnウェル12が形成されていないp基板11上の表面に第1のnMOSTランジスタN1と第2のnMOSTランジスタN2が配置されている。第1のnMOSTランジスタN1はn⁺ドレイン領域22とn⁺ソース領域21と、n⁺ドレイン領域22とn⁺ソース領域21間のチャネル領域上に配置されたゲート酸化膜24と、ゲート酸化膜24上に配置されたゲート電極26とを備えている。又、第2のnMOSTランジスタN2はn⁺ドレイン領域23と共通n⁺ソース領域21と、n⁺ドレイン領域23とn⁺ソース領域21間のチャネル領域上に配置されたゲート酸化膜25と、ゲート酸化膜25上に配置されたゲート電極27とを備えている。

【0034】図7に示す回路動作の詳細は第1の実施の形態と実質的に同様であるので、重複した記載を省略する。

【0035】

【発明の効果】本発明により、電源の立ち上がり時間に影響されずに安定したリセットパルスを生成することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るパワーオンリセット回路を説明した図である。

【図2】図2(a)はnMOSTランジスタの特性を説明した図で、図2(b)はpMOSTランジスタの特性を説明した図である。

【図3】本発明の第1の実施の形態に係るパワーオンリセット回路の電源立ち上がり時のタイミングチャートを説明した図である。

【図4】本発明の第2の実施の形態に係るパワーオンリセット回路を説明した図である。

【図5】本発明の第2の実施の形態に係るパワーオンリセット回路の電源立ち上がり時のタイミングチャートを説明した図である。

【図6】本発明の第3の実施の形態に係るパワーオンリセット回路を説明した図である。

【図7】本発明の第4の実施の形態に係るパワーオンリセット回路を説明した図である。

【図8】第4の実施の形態に係るパワーオンリセット回路についてのレイアウト例を説明するための平面図である。

【図9】図8の平面図に対応する具体的な構造を説明するための断面図である。

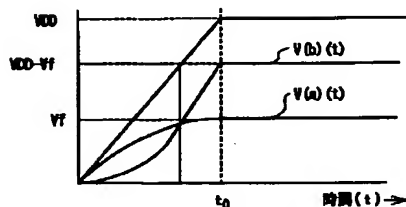
【図10】従来のパワーオンリセット回路について説明した図である。

【図11】図11(a)は従来のパワーオンリセット回路における正常動作時のタイミングチャートを説明した図で、図11(b)は従来のパワーオンリセット回路における未動作時のタイミングチャートを説明した図である。

【符号の説明】

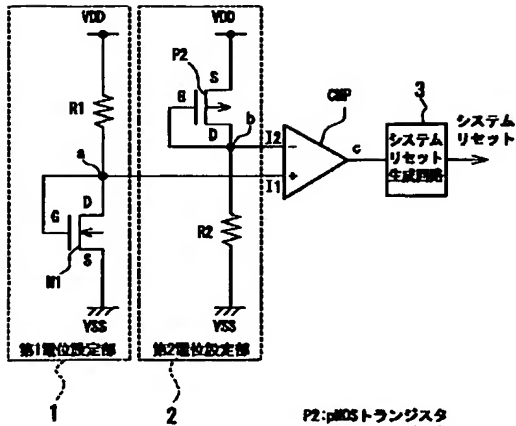
1	第1電位設定部
2	第2電位設定部
3	システムリセット生成回路
4	リセット端子
5	リセットパルス生成部
11	p基板
12	nウェル
13	アルミ配線
14	ポリシリコン配線
15	バイアホール
16	素子分離領域
17	層間絶縁膜
18	バッシベーション膜
21	n ⁺ ソース領域
22、23	n ⁺ ドレイン領域
24、25	ゲート酸化膜
26、27	ゲート電極
31	p ⁺ ソース領域
32、33	p ⁺ ドレイン領域
34、35	ゲート酸化膜
36、37	ゲート電極
41~48	アルミ配線
51~66	バイアホール
P1	第1のpMOSTランジスタ
P2	pMOSTランジスタ(第2のpMOSTランジスタ)
N1	nMOSTランジスタ(第1のnMOSTランジスタ)
N2	第2のnMOSTランジスタ
Tr1	npn型トランジスタ
Tr2	pnp型トランジスタ
R1	第1の抵抗
R2	第2の抵抗
D1	第1のダイオード
D2	第2のダイオード

【図5】



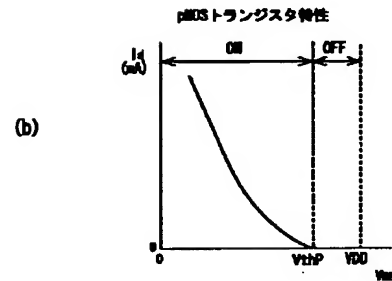
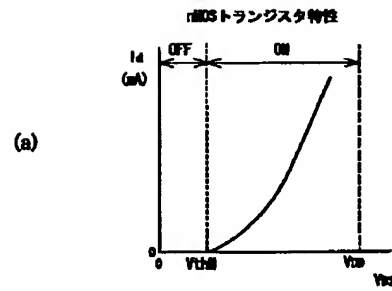
VDD: 高電圧
V(a)(t): 第1出力電圧
V(b)(t): 第2出力電圧
VT: ダイオードの順方向電圧

【図1】

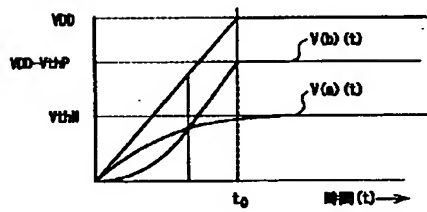


P2: pMOSトランジスタ
 M1: nMOSトランジスタ
 R1: 第1の抵抗
 R2: 第2の抵抗
 VDD: 高レベル電圧
 VSS: 低レベル電圧
 CMP: 比較器
 G: ゲート端子
 D: ドレイン端子
 S: ソース端子
 a: 第1出力ノード
 b: 第2出力ノード
 c: 出力端子

【図2】

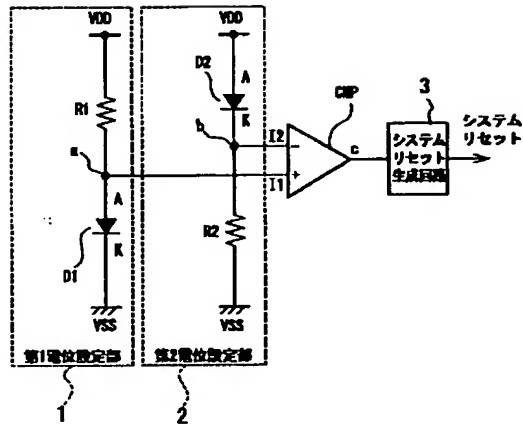


【図3】



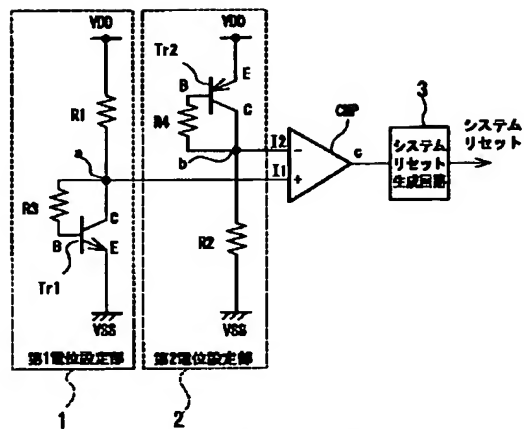
VDD: 高レベル電圧
 V(a)(t): 第1出力電圧
 V(b)(t): 第2出力電圧
 Vthn: nMOSトランジスタのスレッシュホールド電圧
 Vthp: pMOSトランジスタのスレッシュホールド電圧

【図4】



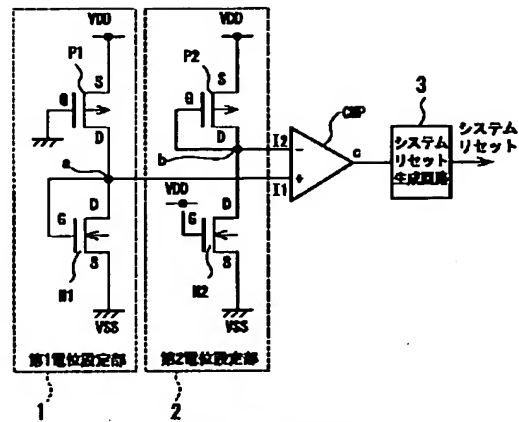
D1: 第1のダイオード
 D2: 第2のダイオード
 A: アノード端子
 K: カソード端子
 R1: 第1の抵抗
 R2: 第2の抵抗
 VDD: 高レベル電圧
 VSS: 低レベル電圧
 CMP: 比較器
 a: 第1出力ノード
 b: 第2出力ノード
 c: 出力端子

【図6】



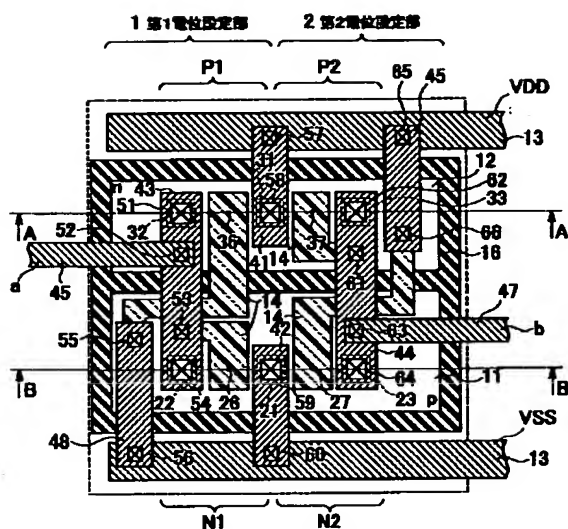
Tr1:npnバイポーラトランジスタ
 Tr2:npnバイポーラトランジスタ
 R1:第1の抵抗
 R2:第2の抵抗
 R3:第1ベース抵抗
 R4:第2ベース抵抗
 VDD:高レベル電源
 VSS:低レベル電源
 CMP:比較器
 B:ベース端子
 C:コレクタ端子
 E:エミッタ端子
 a:第1出力ノード
 b:第2出力ノード
 c:出力端子

【図7】

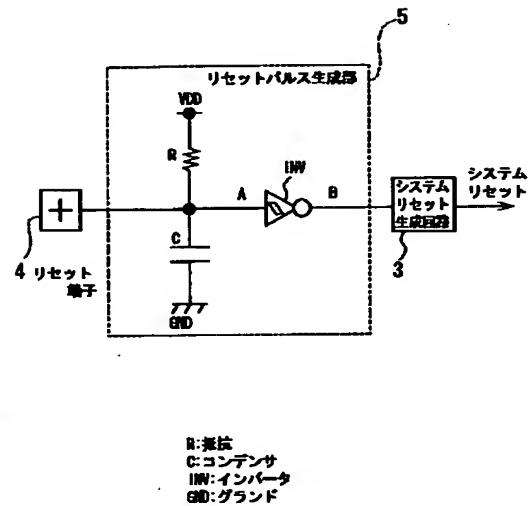


P1:第1のpMOSトランジスタ
 P2:第2のpMOSトランジスタ
 N1:第1のnMOSトランジスタ
 N2:第2のnMOSトランジスタ
 VDD:高レベル電源
 VSS:低レベル電源
 CMP:比較器
 G:ゲート端子
 D:ドレイン端子
 S:ソース端子
 a:第1出力ノード
 b:第2出力ノード
 c:出力端子

【図8】

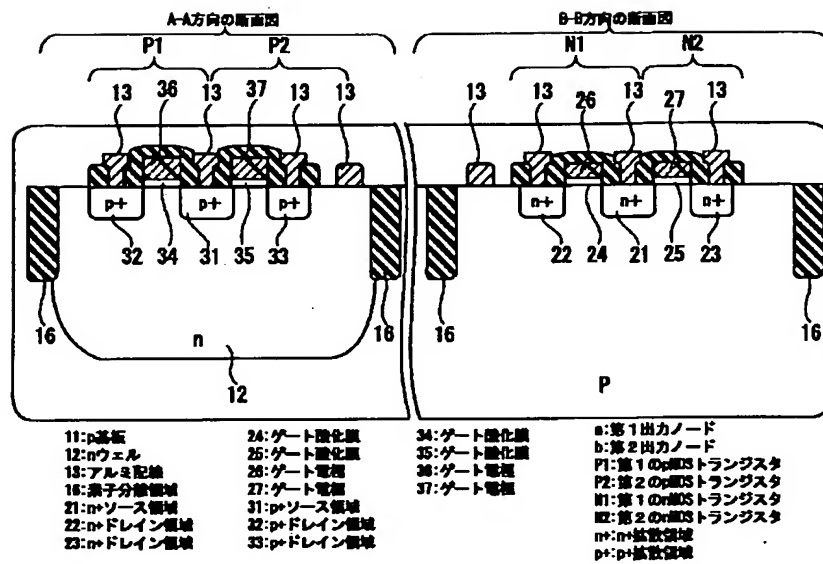


【図10】

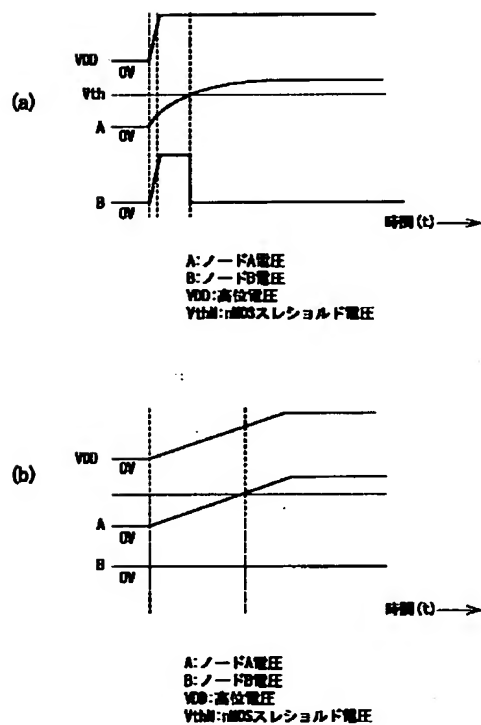


R:抵抗
 C:コンデンサ
 INV:インバータ
 GND:グラウンド

【図9】



【図11】



フロントページの続き

(72)発明者 和田 晃

神奈川県川崎市幸区堀川町580番地 東芝
エルエスアイシステムサポート株式会社内

Fターム(参考) 5B054 DD02 DD13

5F038 AV04 AV06 CA02 CA05 DF06
EZ20

5J055 AX37 AX57 BX41 CX27 DX03
DX22 DX62 EX06 EX07 EY01
EY12 EY21 EZ10 FX19 FX32
FX38 GX01 GX05 GX06 GX07
GX08